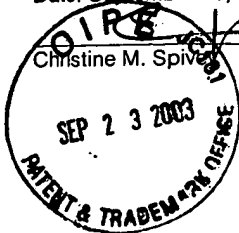


**CERTIFICATE OF MAILING**

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: September 19, 2003



Christine M. Spivey

2817

Patent  
36856.1087

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Takashi HASEGAWA Serial No.: 10/607,262 Filing Date: June 27, 2003 For: TWO PORT TYPE ISOLATOR AND COMMUNICATION DEVICE	Art Unit: 2817 Examiner: Unknown
---	-------------------------------------

**TRANSMITTAL OF PRIORITY DOCUMENTS**

Commissioner for Patent  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese Patent Application No. **2002-196439** filed July 4, 2002 from which priority is claimed under 35 U.S.C. 119 and Rule 55b.

Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

  
Attorneys for Applicant(s)

Date: September 19, 2003

Joseph R. Keating  
Registration No. 37,368

Christopher A. Bennett  
Registration No. 46,710

**KEATING & BENNETT LLP**  
10400 Eaton Place, Suite 312  
(703) 385-5200

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 4日

出 願 番 号

Application Number:

特願2002-196439

[ ST.10/C ]:

[ JP 2002-196439 ]

出 願 人

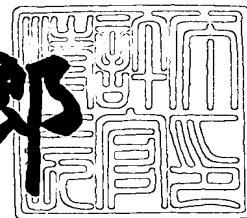
Applicant(s):

株式会社村田製作所

2003年 7月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3052829

【書類名】 特許願

【整理番号】 MU12083-01

【提出日】 平成14年 7月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01P 1/32  
H01P 1/36

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

【氏名】 長谷川 隆

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代理人】

【識別番号】 100091432

【弁理士】

【氏名又は名称】 森下 武一

【手数料の表示】

【予納台帳番号】 007618

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004894

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 2ポート型アイソレータおよび通信装置

【特許請求の範囲】

【請求項1】 永久磁石と、

前記永久磁石により直流磁界が印加されるフェライトと、

前記フェライトの主面もしくは内部に配置され、一端が第1入出力ポートに電氣的に接続され、他端が第2入出力ポートに電氣的に接続されている第1中心電極と、

前記第1中心電極と電氣的絶縁状態で交差して前記フェライトの主面もしくは内部に配置され、一端が第2入出力ポートに電氣的に接続され、他端がアースに電氣的に接続されている第2中心電極と、

前記第1入出力ポートと前記第2入出力ポートの間に電氣的に接続された第1整合用コンデンサと、

前記第1入出力ポートと前記第2入出力ポートの間に電氣的に接続された抵抗と、

前記第2入出力ポートとアースの間に電氣的に接続された、第2整合用コンデンサとインダクタの直列共振回路と、

を備えたことを特徴とする2ポート型アイソレータ。

【請求項2】 第2整合用コンデンサとインダクタの前記直列共振回路の共振周波数が、使用周波数の2倍波と3倍波の間にあることを特徴とする請求項1に記載の2ポート型アイソレータ。

【請求項3】 永久磁石と、

前記永久磁石により直流磁界が印加されるフェライトと、

前記フェライトの主面もしくは内部に配置され、一端が第1入出力ポートに電氣的に接続され、他端が第2入出力ポートに電氣的に接続されている第1中心電極と、

前記第1中心電極と電氣的絶縁状態で交差して前記フェライトの主面もしくは内部に配置され、一端が第2入出力ポートに電氣的に接続され、他端が第3ポートに電氣的に接続されている第2中心電極と、

前記第 1 入出力ポートと前記第 2 入出力ポートの間に電氣的に接続された第 1 整合用コンデンサと、

前記第 1 入出力ポートと前記第 2 入出力ポートの間に電氣的に接続された抵抗と、

前記第 2 入出力ポートと前記第 3 ポートの間に電氣的に接続された第 2 整合用コンデンサと、

前記第 3 ポートとアースの間に電氣的に接続されたインダクタと、

を備えたことを特徴とする 2 ポート型アイソレータ。

【請求項 4】 前記第 2 中心電極のインダクタンスおよび前記第 2 整合用コンデンサからなる並列共振回路と前記インダクタとで構成された回路の共振周波数が、使用周波数の 2 倍波と 3 倍波の間にあることを特徴とする請求項 3 に記載の 2 ポート型アイソレータ。

【請求項 5】 絶縁層を積み重ねて構成した積層基板に、前記第 1 整合用コンデンサおよび第 2 整合用コンデンサのそれぞれのコンデンサ電極と前記インダクタのインダクタ電極が設けられていることを特徴とする請求項 1 ～請求項 4 のいずれかに記載の 2 ポート型アイソレータ。

【請求項 6】 請求項 1 ～請求項 5 のいずれかに記載の 2 ポート型アイソレータを備えたことを特徴とする通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、2 ポート型アイソレータ、特に、マイクロ波帯で使用される 2 ポート型アイソレータおよび通信装置に関する。

【0002】

【従来の技術】

一般に、アイソレータは、信号を伝送方向のみに通過させ、逆方向への伝送を阻止する機能を有しており、自動車電話、携帯電話などの移動体通信機器の送信回路部に使用されている。

【0003】

従来、この種のアイソレータとして、3ポート型アイソレータ（第1～第3中心電極の三つの中心電極を有するアイソレータ）の場合には、特開2001-320205号公報や特開2001-320206号公報や特開平11-308013号公報や特開2000-114818号公報記載のものが知られている。また、2ポート型アイソレータ（第1中心電極および第2中心電極の二つの中心電極を有するアイソレータ）の場合には、特開2001-237613号公報や特開2001-185912号公報記載のものが知られている。

## 【0004】

ところが、これらの3ポート型アイソレータや2ポート型アイソレータは、信号が入力ポートP1から出力ポートP2に伝搬する際、磁気結合を介して伝搬している。従って、入力ポートP1と出力ポートP2間の結合損失が大きいという問題があった。

## 【0005】

そこで、この問題を解消するため、特開平9-232818号公報記載の低損失の2ポート型アイソレータが提案されている。この2ポート型アイソレータの電気等価回路を図21に示す。第1中心電極321の一端部321aは、入力ポートP1を介して入力外部電極314に電氣的に接続されている。第1中心電極321の他端部321bは、出力ポートP2を介して出力外部電極315に電氣的に接続されている。入力ポートP1と出力ポートP2が第1中心電極321を介して直接に接続されているため、入力ポートP1と出力ポートP2間の結合損失を小さくできる。

## 【0006】

なお、第2中心電極322の一端部322aは、出力ポートP2を介して出力外部電極315に電氣的に接続されている。第2中心電極322の他端部322bは、第3ポートP3を介してアース外部電極316に電氣的に接続されている。整合用コンデンサ325と抵抗327からなる並列RC回路は、入力ポートP1と出力ポートP2の間に電氣的に接続されている。整合用コンデンサ326は出力ポートP2とアース外部電極316の間に電氣的に接続されている。アース外部電極316はアースに電氣的に接続されている。

【0 0 0 7】

【発明が解決しようとする課題】

ところが、従来の 2 ポート型アイソレータ 3 0 1 は、入力ポート P 1 と出力ポート P 2 が第 1 中心電極 3 2 1 を介して直接に接続しているため、移動体通信機器の使用周波数  $f$  の 2 倍波 ( $2f$ ) や 3 倍波 ( $3f$ ) も伝搬してしまうという不具合があった。

【0 0 0 8】

そこで、本発明の目的は、使用周波数  $f$  の 2 倍波 ( $2f$ ) や 3 倍波 ( $3f$ ) の伝搬を抑えることができる 2 ポート型アイソレータおよび通信装置を提供することにある。

【0 0 0 9】

【課題を解決するための手段および作用】

前記目的を達成するため、本発明に係る 2 ポート型アイソレータは、

- (a) 永久磁石と、
- (b) 永久磁石により直流磁界が印加されるフェライトと、
- (c) フェライトの主面もしくは内部に配置され、一端が第 1 入出力ポートに電氣的に接続され、他端が第 2 入出力ポートに電氣的に接続されている第 1 中心電極と、
- (d) 第 1 中心電極と電氣的絶縁状態で交差してフェライトの主面もしくは内部に配置され、一端が第 2 入出力ポートに電氣的に接続され、他端がアースに電氣的に接続されている第 2 中心電極と、
- (e) 第 1 入出力ポートと第 2 入出力ポートの間に電氣的に接続された第 1 整合用コンデンサと、
- (f) 第 1 入出力ポートと第 2 入出力ポートの間に電氣的に接続された抵抗と、
- (g) 第 2 入出力ポートとアースの間に電氣的に接続された、第 2 整合用コンデンサとインダクタの直列共振回路と、

を備えたことを特徴とする。第 2 整合用コンデンサとインダクタの直列共振回路の共振周波数は、使用周波数の 2 倍波と 3 倍波の間にあることが好ましい。

【0 0 1 0】

また、本発明に係る 2 ポート型アイソレータは、

(h) 永久磁石と、

(i) 永久磁石により直流磁界が印加されるフェライトと、

(j) フェライトの主面もしくは内部に配置され、一端が第 1 入出力ポートに電氣的に接続され、他端が第 2 入出力ポートに電氣的に接続されている第 1 中心電極と、

(k) 第 1 中心電極と電氣的絶縁状態で交差して前記フェライトの主面もしくは内部に配置され、一端が第 2 入出力ポートに電氣的に接続され、他端が第 3 ポートに電氣的に接続されている第 2 中心電極と、

(l) 第 1 入出力ポートと第 2 入出力ポートの間に電氣的に接続された第 1 整合用コンデンサと、

(m) 第 1 入出力ポートと第 2 入出力ポートの間に電氣的に接続された抵抗と、

(n) 第 2 入出力ポートと第 3 ポートの間に電氣的に接続された第 2 整合用コンデンサと、

(o) 第 3 ポートとアースの間に電氣的に接続されたインダクタと、

を備えたことを特徴とする。第 2 中心電極のインダクタンスおよび第 2 整合用コンデンサからなる並列共振回路とインダクタとで構成された回路の共振周波数は、使用周波数の 2 倍波と 3 倍波の間にあることが好ましい。

【0 0 1 1】

以上の構成により、第 1 中心電極を伝搬する使用周波数  $f$  の 2 倍波 ( $2f$ ) や 3 倍波 ( $3f$ ) を減衰させることができる。

【0 0 1 2】

また、絶縁層を積み重ねて構成した積層基板に、第 1 整合用コンデンサおよび第 2 整合用コンデンサのそれぞれのコンデンサ電極とインダクタのインダクタ電極を設けたことを特徴とする。これにより、第 1 整合用コンデンサ、第 2 整合用コンデンサおよびインダクタ相互間のはんだによる接続箇所が減り、接続信頼性が向上する。



【0 0 1 3】

また、本発明に係る通信装置は、上述の 2 ポート型アイソレータを備えることにより、周波数特性が向上する。

【0 0 1 4】

【発明の実施の形態】

以下に、本発明に係る 2 ポート型アイソレータおよび通信装置の実施の形態について添付の図面を参照して説明する。

【0 0 1 5】

〔第 1 実施形態、図 1 ～図 1 1〕

本発明に係る 2 ポート型アイソレータの一実施形態の分解斜視図を図 1 に示す。該 2 ポート型アイソレータ 1 は、集中定数型アイソレータである。図 1 に示すように、2 ポート型アイソレータ 1 は、概略、金属製上側ケース 4 と金属製下側ケース 8 とからなる金属ケースと、永久磁石 9 と、フェライト 2 0 と中心電極 2 1, 2 2 とからなる中心電極組立体 1 3 と、積層基板 3 0 を備えている。

【0 0 1 6】

金属製上側ケース 4 は略箱形状であり、上面部 4 a および四つの側面部 4 b からなる。金属製下側ケース 8 は、底面部 8 a および左右の側面部 8 b からなる。金属製上側ケース 4 および金属製下側ケース 8 は磁気回路を形成するため、例えば、軟鉄などの強磁性体からなる材料で形成され、その表面に A g や C u がめっきされる。

【0 0 1 7】

中心電極組立体 1 3 は、円板状のマイクロ波フェライト 2 0 の上面に 2 組の第 1 および第 2 中心電極 2 1, 2 2 を、絶縁層（図示せず）を介在させて直交して交差するように配置している。本第 1 実施形態では、中心電極 2 1, 2 2 を二つのラインで構成した。第 1 中心電極 2 1 と第 2 中心電極 2 2 のそれぞれの両端部 2 1 a, 2 1 b, 2 2 a, 2 2 b は、フェライト 2 0 の下面に延在し、それぞれの端部 2 1 a ～ 2 2 b が相互に分離している。

【0 0 1 8】

中心電極 2 1, 2 2 は銅箔を用いてフェライト 2 0 に巻きつけてもよいし、フ

エライト 2 0 上あるいは内部に銀ペーストを印刷して形成してもよい。あるいは、特開平 9 - 2 3 2 8 1 8 号公報記載のように積層基板で形成されていてもよい。ただし、印刷した方が中心電極 2 1, 2 2 の位置精度が高いので、積層基板 3 0 との接続が安定する。特に、今回のように微小な中心電極用接続電極 5 1 ~ 5 4 (後述) で接続する場合には、中心電極 2 1, 2 2 を印刷形成した方が信頼性、作業性が良い。

#### 【0 0 1 9】

積層基板 3 0 は、図 2 に示すように、中心電極用接続電極 5 1 ~ 5 4 と、コンデンサ電極 5 5, 5 6 や抵抗 2 7 を裏面に設けた誘電体シート 4 1 と、コンデンサ電極 5 7, 5 8 を裏面に設けた誘電体シート 4 2 と、インダクタ電極 (インダクタ) 2 8 を裏面に設けた誘電体シート 4 3 と、グランド電極 5 9 を裏面に設けた誘電体シート 4 4 と、側面ビアホール 6 5 を設けた誘電体シート 4 5 と、入力外部電極 1 4 や出力外部電極 1 5 やアース外部電極 1 6 を設けた誘電体シート 4 6 などにて構成されている。中心電極用接続電極 5 1 は入力ポート P 1 とされ、中心電極用接続電極 5 3, 5 4 は出力ポート P 2 とされ、中心電極用接続電極 5 2 は第 3 ポート P 3 とされる。

#### 【0 0 2 0】

この積層基板 3 0 は、以下のようにして作製される。すなわち、誘電体シート 4 1 ~ 4 6 は、 $Al_2O_3$  を主成分とし、 $SiO_2$ ,  $SrO$ ,  $CaO$ ,  $PbO$ ,  $Na_2O$ ,  $K_2O$ ,  $MgO$ ,  $BaO$ ,  $CeO_2$ ,  $B_2O_3$  のうちの 1 種類あるいは複数種類を副成分として含む低温焼結誘電体材料にて作製する。

#### 【0 0 2 1】

さらに、積層基板 3 0 の焼成条件 (特に焼成温度  $1000^{\circ}C$  以下) では焼結せず、積層基板 3 0 の基板平面方向 (X-Y 方向) の焼成収縮を抑制する収縮抑制シート 4 7, 4 8 を作製する。この収縮抑制シート 4 7, 4 8 の材料は、アルミナ粉末および安定化ジルコニア粉末の混合材料である。シート 4 1 ~ 4 8 の厚みは  $10\mu m \sim 200\mu m$  程度である。

#### 【0 0 2 2】

電極 2 8, 5 1 ~ 5 9 は、パターン印刷などの方法によりシート 4 1 ~ 4 4 の

裏面に形成される。電極 2 8, 5 1 ~ 5 9 の材料としては、抵抗率が低く、誘電体シート 4 1 ~ 4 6 と同時焼成可能な A g, C u, A g - P d などが用いられる。電極 2 8, 5 1 ~ 5 9 の厚みは  $2 \mu\text{m}$  ~  $20 \mu\text{m}$  程度であり、通常は表皮厚の 2 倍以上に設定される。

## 【 0 0 2 3 】

抵抗 2 7 は、パターン印刷等の方法により誘電体シート 4 1 の裏面に形成される。抵抗 2 7 の材料としては、サーメット、カーボン、ルテニウムなどが使用される。抵抗 2 7 は積層基板 3 0 の上面に印刷で形成してもよいし、チップ抵抗で形成してもよい。

## 【 0 0 2 4 】

ビアホール 6 0 や側面ビアホール 6 5 や外部電極 1 4 ~ 1 6 は、誘電体シート 4 1 ~ 4 6 にレーザ加工やパンチング加工などにより、予めビアホール用孔を形成した後、そのビアホール用孔に導電ペーストを充填することにより形成される。

## 【 0 0 2 5 】

中心電極用接続電極 5 1 ~ 5 4 は、積層基板 3 0 の 4 辺のそれぞれの中央部近傍に配置されている。また、入力外部電極 1 4 および出力外部電極 1 5 も積層基板 3 0 の対向する 2 辺の中央部に配置されている。

## 【 0 0 2 6 】

コンデンサ電極 5 7 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 5 に対向して第 1 整合用コンデンサ 2 5 を構成する。さらに、コンデンサ電極 5 8 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 6 に対向して第 2 整合用コンデンサ 2 6 を構成する。これら整合用コンデンサ 2 5, 2 6、抵抗 2 7 およびインダクタ 2 8 は、電極 5 1 ~ 5 4 や外部電極 1 4 ~ 1 6 やビアホール 6 0, 6 5 とともに、積層基板 3 0 の内部に電気回路を構成する。

## 【 0 0 2 7 】

以上の誘電体シート 4 1 ~ 4 6 は積層され、さらに、誘電体シート 4 1 ~ 4 6 の積層体の上下両側から収縮抑制シート 4 7, 4 8 で挟み込んだ後、焼成される。これにより、焼結体を得られ、その後、超音波洗浄法や湿式ホーニング法によ

って、未焼結の収縮抑制材料を除去し、図 1 に示すような積層基板 3 0 とする。

【 0 0 2 8 】

積層基板 3 0 の両端部には、それぞれ入力外部電極 1 4、出力外部電極 1 5 およびアース外部電極 1 6 が設けられる。入力外部電極 1 4 はコンデンサ電極 5 5 に電氣的に接続され、出力外部電極 1 5 はコンデンサ電極 5 6 に電氣的に接続されている。アース外部電極 1 6 は、インダクタ電極 2 8 およびグランド電極 5 9 のそれぞれの端部に電氣的に接続されている。この後、Ni めっきを下地として Au めっきが施される。Ni めっきは、電極の Ag と Au めっきの固着強度を強くする。Au めっきは、はんだ濡れ性を良くするとともに、導電率が高いのでアイソレータ 1 を低損失にできる。

【 0 0 2 9 】

なお、この積層基板 3 0 は、通常、マザーボード状態で作成される。このマザーボードに所定のピッチでハーフカット溝を形成し、ハーフカット溝に沿って折ることにより、マザーボードから所望のサイズの積層基板 3 0 を得る。あるいは、マザーボードをダイサーやレーザなどで切断することにより、所望のサイズの積層基板 3 0 を切り出してもよい。

【 0 0 3 0 】

こうして得られた積層基板 3 0 は、内部に整合用コンデンサ 2 5、2 6、抵抗 2 7 およびインダクタ 2 8 を有している。整合用コンデンサ 2 5、2 6 は必要な静電容量値精度で製作される。しかし、トリミングをする場合には、整合用コンデンサ 2 5、2 6 と中心電極 2 1、2 2 を接続する前に行なわれる。つまり、積層基板 3 0 は、単体の状態で、内部（2 層目）のコンデンサ電極 5 5、5 6 を表層の誘電体とともにトリミング（削除）される。トリミングには、例えば、切削機や YAG の基本波、2 倍波、3 倍波のレーザが用いられる。レーザを用いれば、早くかつ精度の良い加工が得られる。なお、トリミングは、マザーボード状態の積層基板 3 0 に対して効率良く行ってもよい。

【 0 0 3 1 】

このように、積層基板 3 0 の上面に近いコンデンサ電極 5 5、5 6 をトリミング用コンデンサ電極としているので、トリミング時に除去する誘電体層の厚みを

最小限にできる。さらに、トリミングの障害となる電極が少なくなるので（本第 1 実施形態の場合は接続電極 5 1 ～ 5 4 のみ）、トリミング可能なコンデンサ電極領域が広くなり、静電容量調整範囲を広くできる。

#### 【 0 0 3 2 】

また、積層基板 3 0 には抵抗 2 7 も内蔵されており、整合用コンデンサ 2 5, 2 6 と同様に抵抗 2 7 も、表層の誘電体とともにトリミングすることにより、抵抗値 R を調整することができる。抵抗 2 7 は 1 箇所でも幅が細くなると抵抗値 R が上がるので、幅方向の途中まで削る。

#### 【 0 0 3 3 】

以上の構成部品は以下のようにして組み立てられる。すなわち、図 1 に示すように、永久磁石 9 は金属製上側ケース 4 の天井に接着剤によって固定される。中心電極組立体 1 3 の中心電極 2 1, 2 2 の各々の端部 2 1 a ～ 2 2 b が積層基板 3 0 の表面に形成された中心電極用接続電極 5 1 ～ 5 4 にはんだ 8 0 にて電氣的に接続されることにより、積層基板 3 0 上に中心電極組立体 1 3 が実装される。なお、中心電極 2 1, 2 2 と中心電極用接続電極 5 1 ～ 5 4 のはんだ付けは、マザーボード状態の積層基板 3 0 に対して効率良く行ってもよい。

#### 【 0 0 3 4 】

積層基板 3 0 は金属製下側ケース 8 の底面部 8 a 上に載置され、積層基板 3 0 の下面に配設されているグランド電極 5 9 がはんだ 8 0 によって底面部 8 a と接続固定される。これにより、アースポート 1 6 が底面部 8 a に電氣的に容易に接続される。

#### 【 0 0 3 5 】

そして、金属製下側ケース 8 と金属製上側ケース 4 は、それぞれの側面部 8 b と 4 b をはんだ等で接合することにより金属ケースを構成し、ヨークとしても機能する。つまり、この金属ケースは、永久磁石 9 と中心電極組立体 1 3 と積層基板 3 0 を囲む磁路を形成する。また、永久磁石 9 はフェライト 2 0 に直流磁界を印加する。

#### 【 0 0 3 6 】

こうして、図 3 に示す 2 ポート型アイソレータ 1 が得られる。図 4 はアイソレ

ータ 1 の電気等価回路図である。第 1 中心電極 2 1 の一端部 2 1 a は、入力ポート P 1（中心電極用接続電極 5 1）を介して入力外部電極 1 4 に電氣的に接続されている。第 1 中心電極 2 1 の他端部 2 1 b は、出力ポート P 2（中心電極用接続電極 5 4）を介して出力外部電極 1 5 に電氣的に接続されている。第 2 中心電極 2 2 の一端部 2 2 a は、出力ポート P 2（中心電極用接続電極 5 3）を介して出力外部電極 1 5 に電氣的に接続されている。第 2 中心電極 2 2 の他端部 2 2 b は、第 3 ポート P 3（中心電極用接続電極 5 2）を介してアース外部電極 1 6 に電氣的に接続されている。第 1 整合用コンデンサ 2 5 と抵抗 2 7 からなる並列 RC 回路は、入力ポート P 1 と出力ポート P 2 の間に電氣的に接続されている。第 2 整合用コンデンサ 2 6 とインダクタ 2 8 の直列共振回路は出力ポート P 2 とアースの間に電氣的に接続されている。第 3 ポート P 3 はアースに電氣的に接続されている。

【 0 0 3 7 】

なお、第 2 整合用コンデンサ 2 6 とインダクタ 2 8 の接続位置は入れ替えてもよい。すなわち、出力ポート P 2 側にインダクタ 2 8 を接続し、アース側に第 2 整合用コンデンサ 2 6 を接続してもよい。

【 0 0 3 8 】

以上の構成からなる 2 ポート型アイソレータ 1 は、出力ポート P 2 とアースの間に第 2 整合用コンデンサ 2 6 とインダクタ 2 8 の直列共振回路を接続している。この直列共振回路はトラップ回路を形成しており、その共振周波数は使用周波数  $f$  の 2 倍波（ $2f$ ）と 3 倍波（ $3f$ ）の間に設定されている。そして、このトラップ回路によって、減衰極が 2 倍波（ $2f$ ）と 3 倍波（ $3f$ ）の間に形成される。これにより、第 1 中心電極 2 1 を伝搬する 2 倍波（ $2f$ ）や 3 倍波（ $3f$ ）の減衰量を大きくすることができる。

【 0 0 3 9 】

前記トラップ回路のアドミッタンス  $Y$  および共振周波数  $f(0)$  は、以下の (1) 式と (2) 式で表される。

$$Y = (\omega C 2) / j (\omega^2 L 3 C 2 - 1), \quad \omega = 2 \pi f \quad \cdots (1)$$

$$f(0) = 1 / \{ 2 \pi (L 3 C 2)^{1/2} \} \quad \cdots (2)$$

## 【0040】

図5、図6、図7、図8および図9はそれぞれ、2ポート型アイソレータ1のアイソレーション特性、挿入損失特性、入力反射損失特性、出力反射損失特性および減衰特性を示すグラフである（実施例1の実線参照）。比較のために、図5～図9には、図21に示した従来の2ポート型アイソレータ301の特性も併せて記載している（比較例1の点線参照）。表1-1は、第1および第2中心電極21、22のインダクタンスと整合用コンデンサ25、26の静電容量C1、C2とインダクタ28のインダクタンスL3の数値を示す。

## 【0041】

ここに、フェライト20としては、直径が2.0mmで厚みが0.4mmのものを使用した。そして、中心電極21、22の電極幅Wを0.2mmとし、電極間隔Sを0.2mmとし、電極長さlを2mmとすることにより、自己インダクタンスを0.7nHに設定した。抵抗27の抵抗値Rは、いずれも60Ωとした。表1-1中の中心電極21、22のインダクタンスは比透磁率を1と仮定した場合の自己インダクタンスで、実際にはこれにフェライト20などによる実効透磁率を掛けたものがインダクタンスL1、L2となる。また、実施例1において、19pFの第2整合用コンデンサ26と0.2nHのインダクタ28との直列共振回路のアドミッタンスYは、前記(1)式より、893MHz～960MHzの帯域で、22pFのコンデンサのアドミッタンスと略等しい値となる。そして、この直列共振回路の共振周波数f(0)は、前記(2)式より、2.6GHz付近となる。

## 【0042】

表1-2は、使用周波数である893MHz～960MHzでの帯域内最悪値と、2倍波（1786MHz～1920MHz）の減衰量と、3倍波（2679MHz～2880MHz）の減衰量とをまとめたものである。

## 【0043】

【表1】

(表1-1)

	第1中心電極 21の自己イ ンダクタンス	第2中心電極 22の自己イ ンダクタンス	整合用コ ンサ25の 電容量C1	整合用コ ンサ26の 電容量C2	インダク タンスL3
比較例1	0.7nH	0.7nH	22pF	22pF	—
実施例1	0.7nH	0.7nH	22pF	19pF	0.2nH

(表1-2)

	入力反射 損失(dB)	挿入損失 (dB)	アイソレー ション(dB)	出力反射 損失(dB)	2倍波の 減衰量 (dB)	3倍波の 減衰量 (dB)
比較例1	22.4	0.75	12.2	11.8	14.0	18.7
実施例1	21.5	0.84	12.3	10.9	19.5	30.3

【0044】

また、本第1実施形態は、入力外部電極14および出力外部電極15を、アイソレータ1の対向する一対の側面の中央位置に設けている。これにより、アイソレータ1を携帯電話などのプリント基板に実装する際、アイソレータ1を180



° 回転させれば、入力信号線路と出力信号線路が左右逆に配設されているプリント基板にも実装することが可能となる。従って、プリント基板の入力信号線路と出力信号線路の方向に合わせて2種類のアイソレータ1を作製する必要がなくなる。このため、アイソレータ1を低コスト化できる。

## 【0045】

特に、この2ポート型アイソレータ1は、ポートP1を入力ポートとした場合と、ポートP2を入力ポートとした場合とで、反射損失の周波数特性が大きく異なり、磁場方向反転（永久磁石9のNS方向反転）だけでなく、内部構造も変更した2種類のアイソレータ1を作製する必要があるので、低コスト化の効果は大きい。

## 【0046】

また、積層基板30に整合用コンデンサ25、26とインダクタ28を内蔵しているので、整合用コンデンサ25、26およびインダクタ28相互間のはんだによる接続箇所を減らすことができ、接続信頼性の高いアイソレータ1が得られる。さらに、部品点数および製造工数を低減できるので、低コストのアイソレータ1となる。

## 【0047】

また、積層基板30は、仕様に合わせて種々に変形できる。例えば、図10に示している積層基板30Aは、中心電極用接続電極51～54と、コンデンサ電極55、56aや抵抗27を裏面に設けた誘電体シート41と、コンデンサ電極57aを裏面に設けた誘電体シート42と、コンデンサ電極56bやインダクタ電極28を裏面に設けた誘電体シート43と、グランド電極59を裏面に設けた誘電体シート44と、入力外部電極14や出力外部電極15やアース外部電極16を設けた誘電体シート46などにて構成されている。中心電極用接続電極51は入力ポートP1とされ、中心電極用接続電極53、54は出力ポートP2とされ、中心電極用接続電極52は第3ポートP3とされる。

## 【0048】

コンデンサ電極55は、誘電体シート42を間に挟んでコンデンサ電極57aの略左半分に対向して第1整合用コンデンサ25を構成する。さらに、コンデン

サ電極 5 6 a, 5 6 b は、誘電体シート 4 2, 4 3 を間に挟んでコンデンサ電極 5 7 a に対向して第 2 整合用コンデンサ 2 6 を構成する。これら整合用コンデンサ 2 5, 2 6、抵抗 2 7 およびインダクタ 2 8 は、電極 5 1 ~ 5 4 や外部電極 1 4 ~ 1 6 やビアホール 6 0, 6 5 とともに、積層基板 3 0 A の内部に電気回路を構成する。

## 【 0 0 4 9 】

また、図 1 1 に示している積層基板 3 0 B は、中心電極用接続電極 5 1 ~ 5 4 と、コンデンサ電極 5 5, 5 9 a や抵抗 2 7 を裏面に設けた誘電体シート 4 1 と、コンデンサ電極 5 7, 5 8 a やインダクタ電極 2 8 を裏面に設けた誘電体シート 4 2 と、コンデンサ電極 5 8 b を裏面に設けた誘電体シート 4 3 と、グランド電極 5 9 を裏面に設けた誘電体シート 4 4 と、入力外部電極 1 4 や出力外部電極 1 5 やアース外部電極 1 6 を設けた誘電体シート 4 6 などにて構成されている。

## 【 0 0 5 0 】

コンデンサ電極 5 5 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 7 に対向して第 1 整合用コンデンサ 2 5 を構成する。さらに、コンデンサ電極 5 8 a, 5 8 b は、誘電体シート 4 2, 4 4 を間に挟んでコンデンサ電極 5 9 a やグランド電極 5 9 に対向して第 2 整合用コンデンサ 2 6 を構成する。これら整合用コンデンサ 2 5, 2 6、抵抗 2 7 およびインダクタ 2 8 は、電極 5 1 ~ 5 4 や外部電極 1 4 ~ 1 6 やビアホール 6 0, 6 5 とともに、積層基板 3 0 B の内部に電気回路を構成する。

## 【 0 0 5 1 】

[第 2 実施形態、図 1 2 ~ 図 1 9]

第 2 実施形態の 2 ポート型アイソレータは、積層基板以外は前記第 1 実施形態の 2 ポート型アイソレータ 1 と同様のものである。従って、分解斜視図や外観斜視図は、前記第 1 実施形態の図 1 や図 3 と同様なものになる。

## 【 0 0 5 2 】

図 1 2 に示すように、積層基板 3 0 C は、中心電極用接続電極 5 1 ~ 5 4 と、コンデンサ電極 5 5, 5 6 や抵抗 2 7 を裏面に設けた誘電体シート 4 1 と、コンデンサ電極 5 7, 5 8 を裏面に設けた誘電体シート 4 2 と、インダクタ 2 8 を裏

面に設けた誘電体シート 4 3 と、グランド電極 5 9 を裏面に設けた誘電体シート 4 4 と、入力外部電極 1 4 や出力外部電極 1 5 やアース外部電極 1 6 を設けた誘電体シート 4 6 などにて構成されている。この積層基板 3 0 C は、前記第 1 実施形態の積層基板 3 0 と同様の製法により作製される。

#### 【 0 0 5 3 】

コンデンサ電極 5 7 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 5 に対向して整合用コンデンサ 2 5 を構成する。さらに、コンデンサ電極 5 8 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 6 に対向して整合用コンデンサ 2 6 を構成する。

#### 【 0 0 5 4 】

図 1 3 は、図 1 2 に示されている積層基板 3 0 C を有した 2 ポート型アイソレータ 1 C の電気等価回路図である。入力ポート P 1 と出力ポート P 2 の間には、第 1 中心電極 2 1 と第 1 整合用コンデンサ 2 5 と抵抗 2 7 からなる並列回路が接続されている。出力ポート P 2 と第 3 ポート P 3 の間には、第 2 中心電極 2 2 および第 2 整合用コンデンサ 2 6 からなる並列回路が接続されている。さらに、第 3 ポート P 3 とアース外部電極 1 6 の間には、インダクタ 2 8 が接続されている。

#### 【 0 0 5 5 】

以上の構成からなる 2 ポート型アイソレータ 1 C は、出力ポート P 2 とアースの間に、第 2 中心電極 2 2 のインダクタンス  $L_2$  および第 2 整合用コンデンサ  $C_2$  からなる並列共振回路とインダクタ 2 8 とを電氣的に直列に接続している。この LC 並列共振回路と直列インダクタからなる回路は、トラップ回路を形成しており、その共振周波数は、使用周波数の 2 倍波 ( $2f$ ) と 3 倍波 ( $3f$ ) の間に設定されている。そして、このトラップ回路によって、減衰極が 2 倍波と 3 倍波の間に形成される。これにより、挿入損失特性を劣化させることなく、第 1 中心電極 2 1 を伝搬する使用周波数  $f$  の 2 倍波や 3 倍波の減衰量を大きくすることができる。

#### 【 0 0 5 6 】

図 1 4、図 1 5、図 1 6、図 1 7 および図 1 8 はそれぞれ、2 ポート型アイソ

レータ 1 C のアイソレーション特性、挿入損失特性、入力反射損失特性、出力反射損失特性および減衰特性を示すグラフである（実施例 2 の実線参照）。比較のために、図 1 4 ～図 1 8 には、図 2 1 に示した従来の 2 ポート型アイソレータ 3 0 1 の特性も併せて記載している（比較例 2 の点線参照）。表 2 - 1 は、第 1 および第 2 中心電極 2 1, 2 2 のインダクタンスと整合用コンデンサ 2 5, 2 6 の静電容量  $C_1$ ,  $C_2$  とインダクタ 2 8 のインダクタンス  $L_3$  の数値を示す。

【0 0 5 7】

抵抗 2 7 の抵抗値  $R$  は、いずれも  $60 \Omega$  とした。表 2 - 1 中のインダクタンスは比透磁率を 1 と仮定した場合の中心電極 2 1, 2 2 の実質的な自己インダクタンスで、実際にはこれにフェライト 2 0 などによる実効透磁率を掛けたものがインダクタンス  $L_1$ ,  $L_2$  となる。

【0 0 5 8】

ここで、本第 2 実施形態のトラップ回路のインピーダンス  $Z$  および共振周波数  $f(0)$  は、以下の (3) 式と (4) 式で表される。

$$Z = j \{ \omega L_3 - \omega L_2 / (\omega^2 L_2 C_2 - 1) \} \dots (3)$$

$$\begin{aligned} f(0) &= 1 / 2 \pi \cdot [ \{ (L_2 / L_3) + 1 \} / (L_2 C_2) ]^{1/2} \\ &= 1 / 2 \pi \cdot [ 1 / C_2 \cdot \{ (1 / L_2) + (1 / L_3) \} ]^{1/2} \\ &\dots (4) \end{aligned}$$

【0 0 5 9】

従って、例えば、実効透磁率を 2 とすると、表 2 - 1 中の第 2 中心電極 2 2 の自己インダクタンスと整合用コンデンサ 2 6 の静電容量  $C_2$  とインダクタ 2 8 のインダクタンス  $L_3$  の数値を用いて、(4) 式よりトラップ回路の共振周波数は 2. 6 GHz となることがわかる。なお、この場合、インダクタンス  $L_2$  は、第 2 中心電極 2 2 の自己インダクタンスに実効透磁率の 2 を掛けた値となる。

【0 0 6 0】

表 2 - 2 は、実施例 2 と比較例 2 のそれぞれの 2 ポート型アイソレータ 1 C, 3 0 1 の、使用周波数である 8 9 3 MHz ～ 9 6 0 MHz での帯域内最悪値と、2 倍波 (1 7 8 6 MHz ～ 1 9 2 0 MHz) の減衰量と、3 倍波 (2 6 7 9 MHz ～ 2 8 8 0 MHz) の減衰量とをまとめたものである。

【 0 0 6 1 】

【表 2】

( 表 2 - 1 )

	第 1 中心電極 21 の自己イ ンダクタンス	第 2 中心電極 22 の自己イ ンダクタンス	整合用コ ンデンサ 電容量 C1	整合用コ ンデンサ 電容量 C2	インダク タンス L3
比較例 2	0 . 7 nH	0 . 7 nH	2 2 pF	2 2 pF	—
実施例 2	0 . 7 nH	0 . 7 nH	2 2 pF	2 2 pF	0 . 2 nH

( 表 2 - 2 )

	入力反射 損失 (dB)	挿入損失 (dB)	アイソレ ーション (dB)	出力反射 損失 (dB)	2 倍波の 減衰量 (dB)	3 倍波の 減衰量 (dB)
比較例 2	2 2 . 4	0 . 7 5	1 2 . 2	1 1 . 8	1 4 . 0	1 8 . 7
実施例 2	2 2 . 7	0 . 7 5	1 1 . 9	1 1 . 8	1 8 . 7	2 7 . 5

【 0 0 6 2 】

また、積層基板 3 0 C は、仕様に合わせて種々に変形できる。例えば、図 1 9 に示している積層基板 3 0 D は、中心電極用接続電極 5 1 ～ 5 4 と、コンデンサ

電極 5 5, 5 6 a や抵抗 2 7 を裏面に設けた誘電体シート 4 1 と、コンデンサ電極 5 7 a を裏面に設けた誘電体シート 4 2 と、コンデンサ電極 5 6 b やインダクタ電極 2 8 を裏面に設けた誘電体シート 4 3 と、グランド電極 5 9 を裏面に設けた誘電体シート 4 4 と、入力外部電極 1 4 や出力外部電極 1 5 やアース外部電極 1 6 を設けた誘電体シート 4 6 などにて構成されている。中心電極用接続電極 5 1 は入力ポート P 1 とされ、中心電極用接続電極 5 3, 5 4 は出力ポート P 2 とされ、中心電極用接続電極 5 2 は第 3 ポート P 3 とされる。

## 【 0 0 6 3 】

コンデンサ電極 5 5 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 7 a の略左半分に対向して第 1 整合用コンデンサ 2 5 を構成する。さらに、コンデンサ電極 5 6 a, 5 6 b は、誘電体シート 4 2, 4 3 を間に挟んでコンデンサ電極 5 7 a に対向して第 2 整合用コンデンサ 2 6 を構成する。これら整合用コンデンサ 2 5, 2 6、抵抗 2 7 およびインダクタ 2 8 は、電極 5 1 ~ 5 4 や外部電極 1 4 ~ 1 6 やビアホール 6 0, 6 5 とともに、積層基板 3 0 D の内部に電気回路を構成する。

## 【 0 0 6 4 】

## 〔第 3 実施形態、図 2 0〕

第 3 実施形態は、本発明に係る通信装置として、携帯電話を例にして説明する。

## 【 0 0 6 5 】

図 2 0 は携帯電話 2 2 0 の R F 部分の電気回路ブロック図である。図 2 0 において、2 2 2 はアンテナ素子、2 2 3 はデュプレクサ、2 3 1 は送信側アイソレータ、2 3 2 は送信側増幅器、2 3 3 は送信側段間用帯域通過フィルタ、2 3 4 は送信側ミキサ、2 3 5 は受信側増幅器、2 3 6 は受信側段間用帯域通過フィルタ、2 3 7 は受信側ミキサ、2 3 8 は電圧制御発振器 (VCO)、2 3 9 はローカル用帯域通過フィルタである。

## 【 0 0 6 6 】

ここに、送信側アイソレータ 2 3 1 として、前記第 1 または第 2 実施形態の 2 ポート型アイソレータ 1, 1 C を使用することができる。これらのアイソレータ

を実装することにより、周波数特性の向上した、かつ、信頼性の高い携帯電話を実現することができる。

【 0 0 6 7 】

〔他の実施形態〕

なお、本発明は前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。例えば、永久磁石 9 の N 極と S 極を反転させれば、入力ポート P 1 と出力ポート P 2 が入れ替わる。また、前記実施形態では、積層基板にインダクタ 2 8 を内蔵しているが、インダクタ 2 8 をチップインダクタや空芯コイルで形成してもよい。さらに、整合用コンデンサ 2 5, 2 6 を単板コンデンサで形成してもよい。

【 0 0 6 8 】

【発明の効果】

以上の説明で明らかなように、本発明によれば、第 2 入出力ポートとアースの間において第 2 整合用コンデンサに対して直列にインダクタを接続したり、第 3 ポートとアースの間においてインダクタを接続したりすることにより、トラップ回路を形成している。そして、このトラップ回路によって減衰極が形成されるので、第 1 中心電極を伝搬する使用周波数  $f$  の 2 倍波 ( $2f$ ) や 3 倍波 ( $3f$ ) を減衰することができる。この結果、高性能で信頼性が高くかつ小型の 2 ポート型アイソレータや通信装置を得ることができる。

【図面の簡単な説明】

【図 1】

本発明に係る 2 ポート型アイソレータの一実施形態を示す分解斜視図。

【図 2】

図 1 に示した積層基板の分解斜視図。

【図 3】

図 1 に示した 2 ポート型アイソレータの外観斜視図。

【図 4】

図 1 に示した 2 ポート型アイソレータの電気等価回路図。

【図 5】

アイソレーション特性を示すグラフ。

【図 6】

挿入損失特性を示すグラフ。

【図 7】

入力反射損失特性を示すグラフ。

【図 8】

出力反射損失特性を示すグラフ。

【図 9】

減衰特性を示すグラフ。

【図 1 0】

図 1 に示した積層基板の変形例を示す分解斜視図。

【図 1 1】

図 1 に示した積層基板の別の変形例を示す分解斜視図。

【図 1 2】

本発明に係る 2 ポート型アイソレータの別の実施形態に用いられる積層基板を示す分解斜視図。

【図 1 3】

図 1 2 に示した積層基板を用いた 2 ポート型アイソレータの電気等価回路図。

【図 1 4】

アイソレーション特性を示すグラフ。

【図 1 5】

挿入損失特性を示すグラフ。

【図 1 6】

入力反射損失特性を示すグラフ。

【図 1 7】

出力反射損失特性を示すグラフ。

【図 1 8】

減衰特性を示すグラフ。

【図 1 9】



図 1 2 に示した積層基板の変形例を示す分解斜視図。

【図 2 0】

本発明に係る通信装置の電気回路ブロック図。

【図 2 1】

従来の 2 ポート型アイソレータの電気等価回路図。

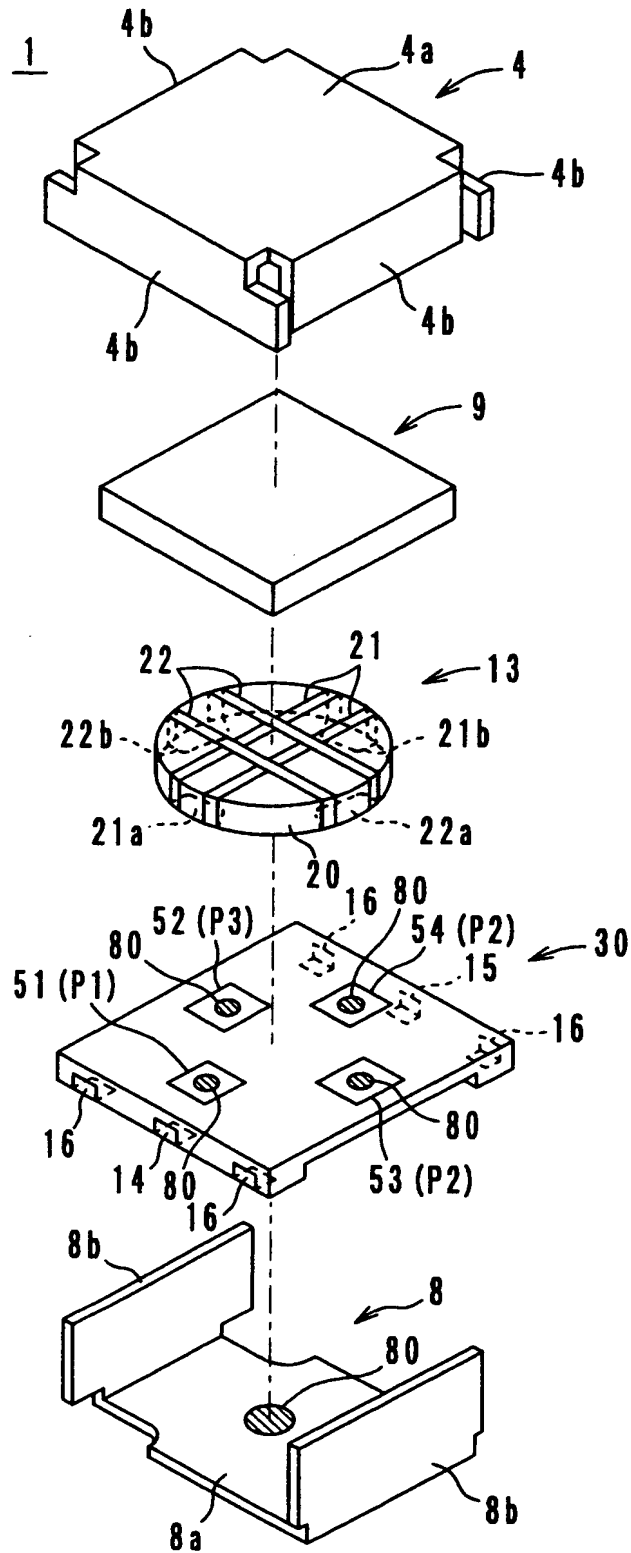
【符号の説明】

- 1, 1 C … 集中定数型アイソレータ
- 4 … 金属製上側ケース
- 8 … 金属製下側ケース
- 9 … 永久磁石
- 1 3 … 中心電極組立体
- 1 4 … 入力外部電極
- 1 5 … 出力外部電極
- 1 6 … アース外部電極
- 2 0 … フェライト
- 2 1 … 第 1 中心電極
- 2 2 … 第 2 中心電極
- 2 1 a, 2 1 b, 2 2 a, 2 2 b … 端部
- 2 5, 2 6 … 整合用コンデンサ
- 2 7 … 抵抗
- 2 8 … インダクタ
- 3 0, 3 0 A, 3 0 B, 3 0 C, 3 0 D … 積層基板
- 4 1 ~ 4 6 … 誘電体シート
- 5 5, 5 6, 5 7, 5 8 … コンデンサ電極
- 5 9 … グランド電極
- 2 2 0 … 携帯電話
- P 1 … 入力ポート (第 1 入出力ポート)
- P 2 … 出力ポート (第 2 入出力ポート)
- P 3 … アースポート (第 3 ポート)

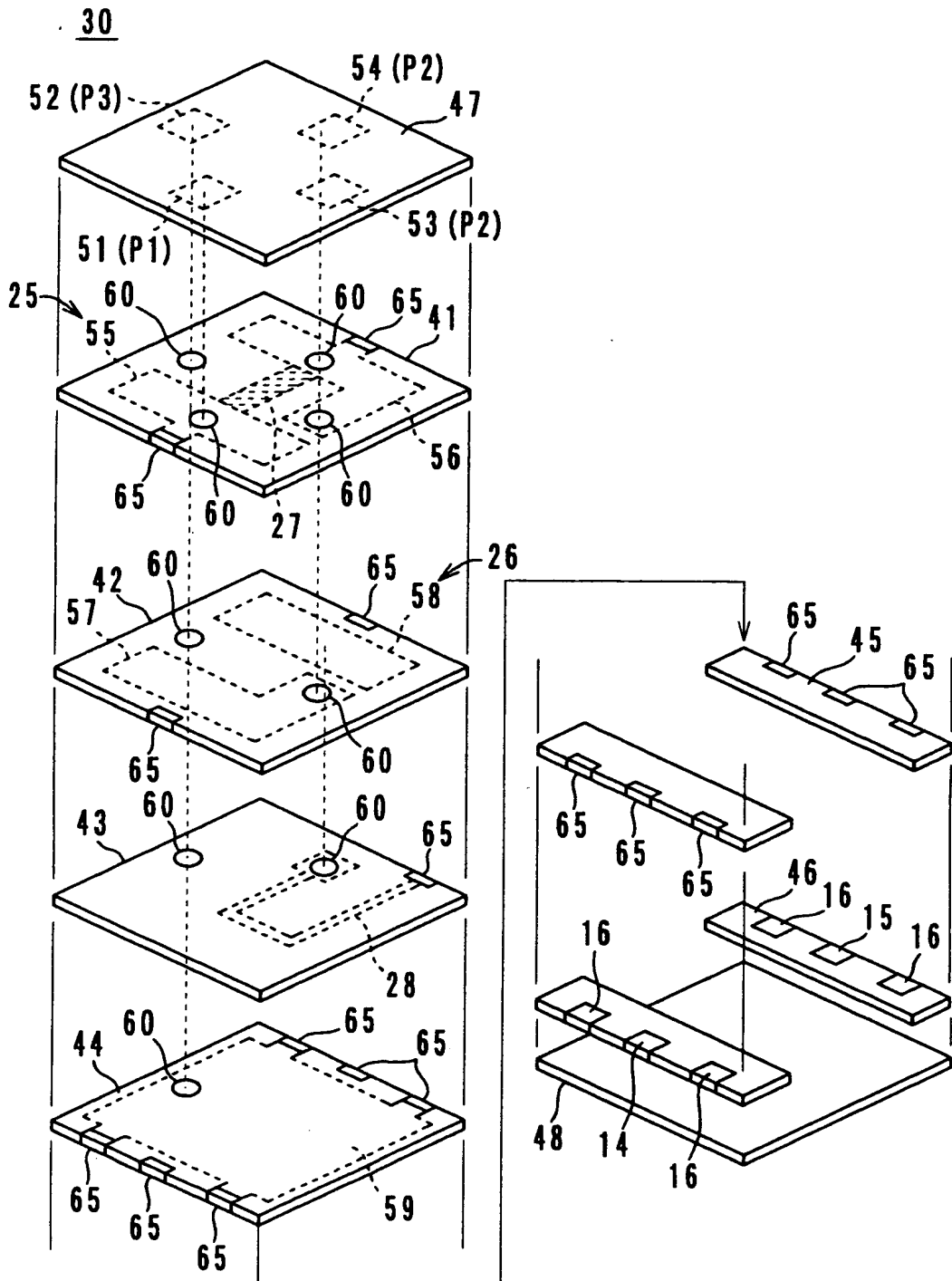
【書類名】

図面

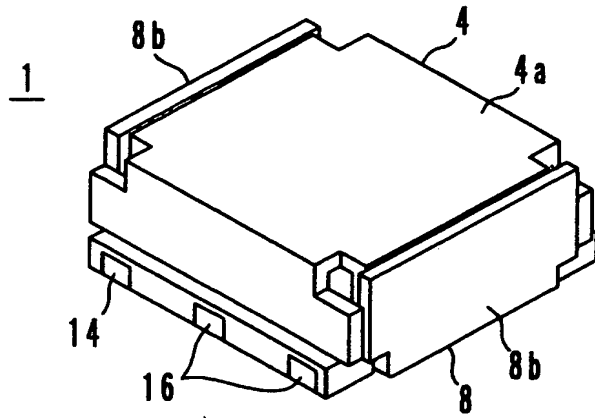
【図 1】



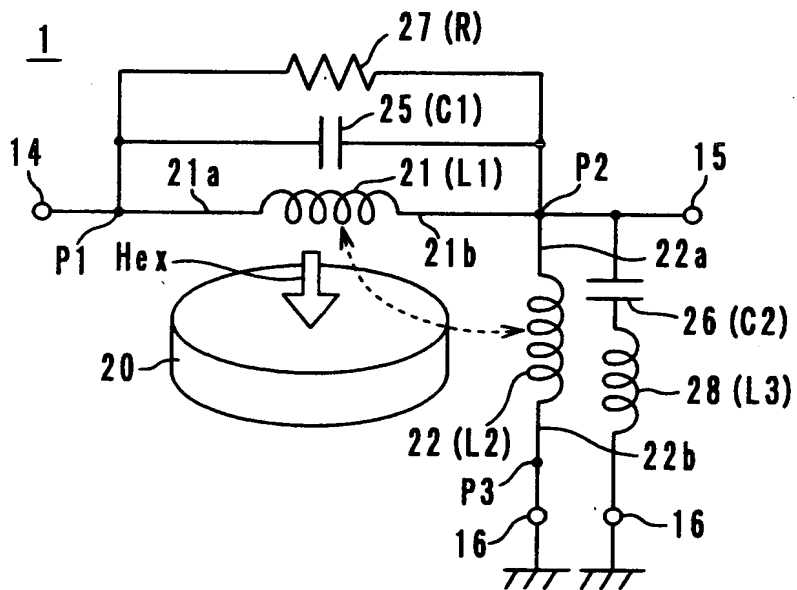
【図 2】



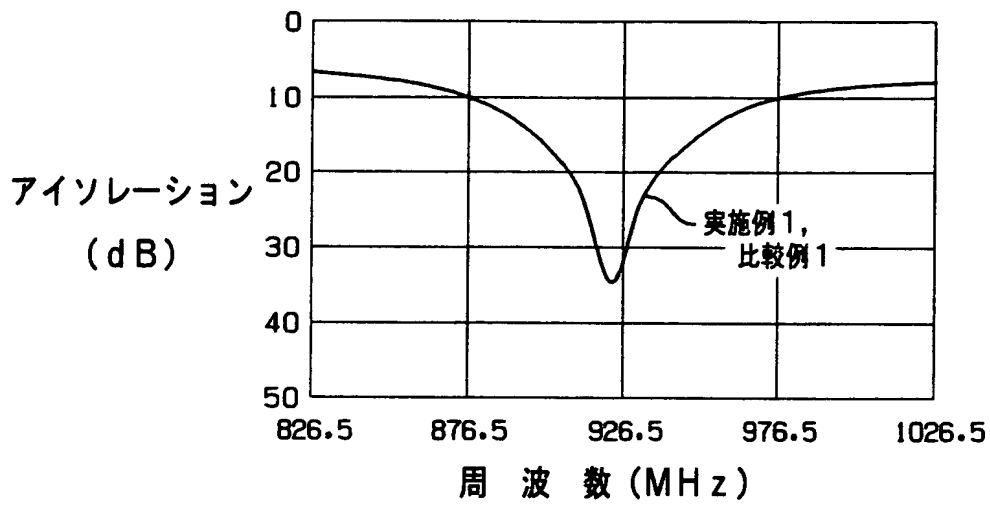
【図 3】



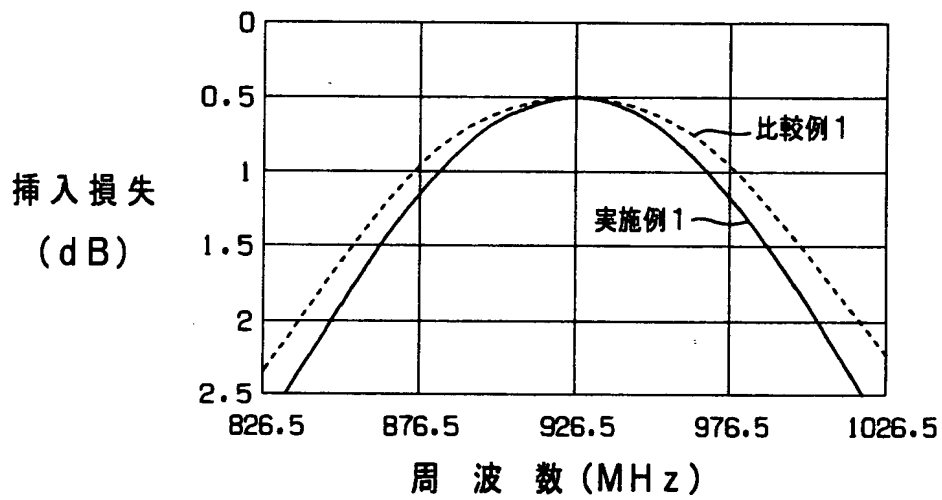
【図 4】



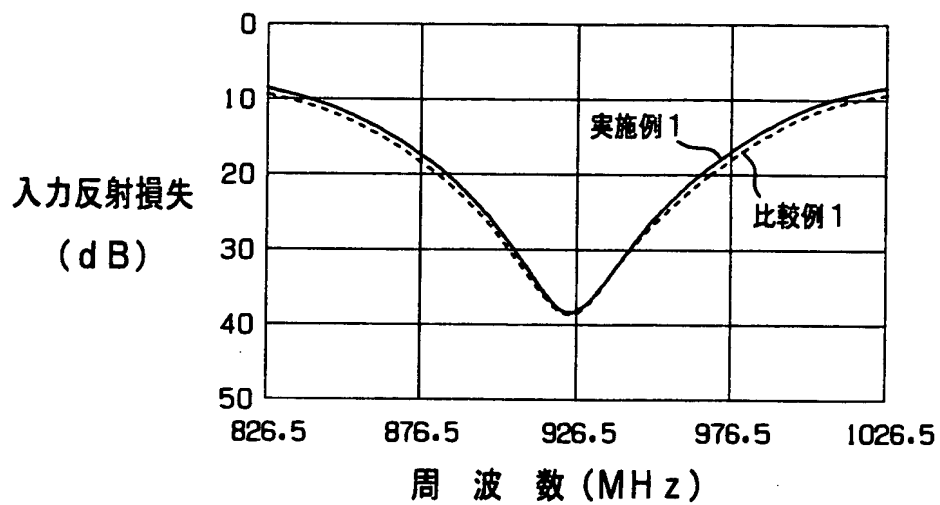
【図 5】



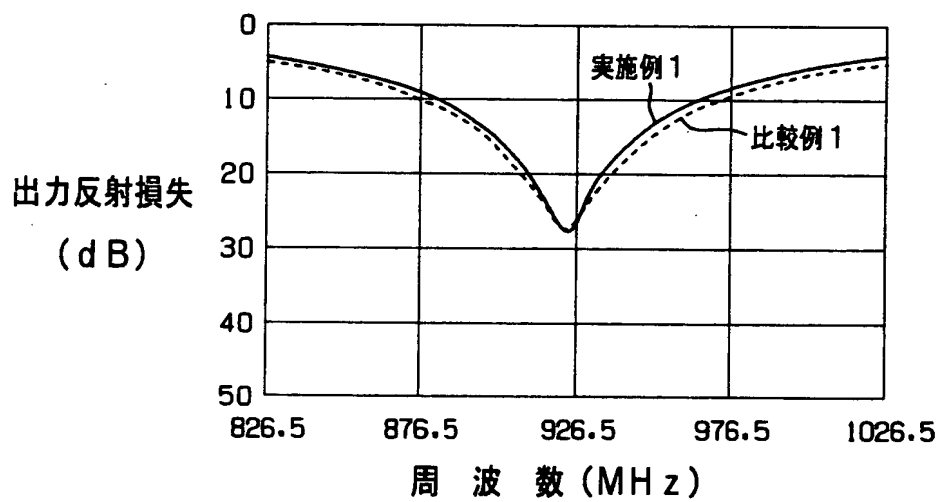
【図 6】



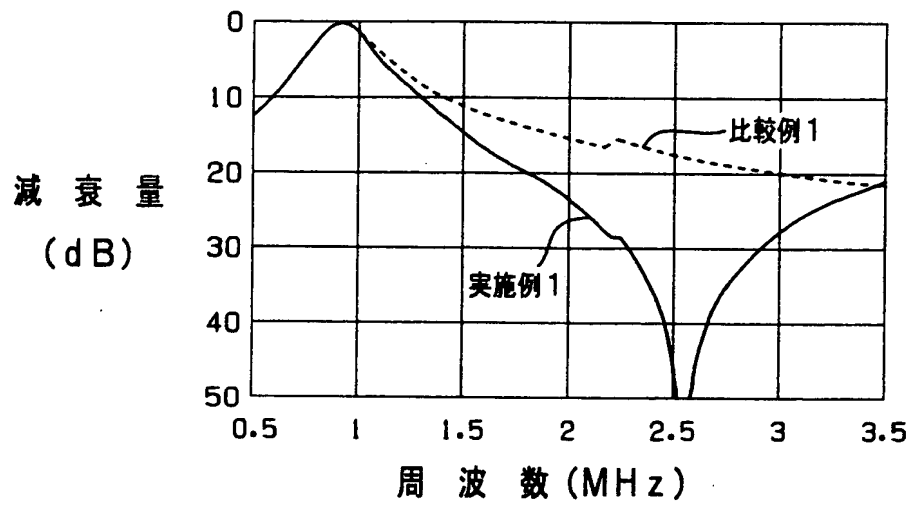
【図 7】



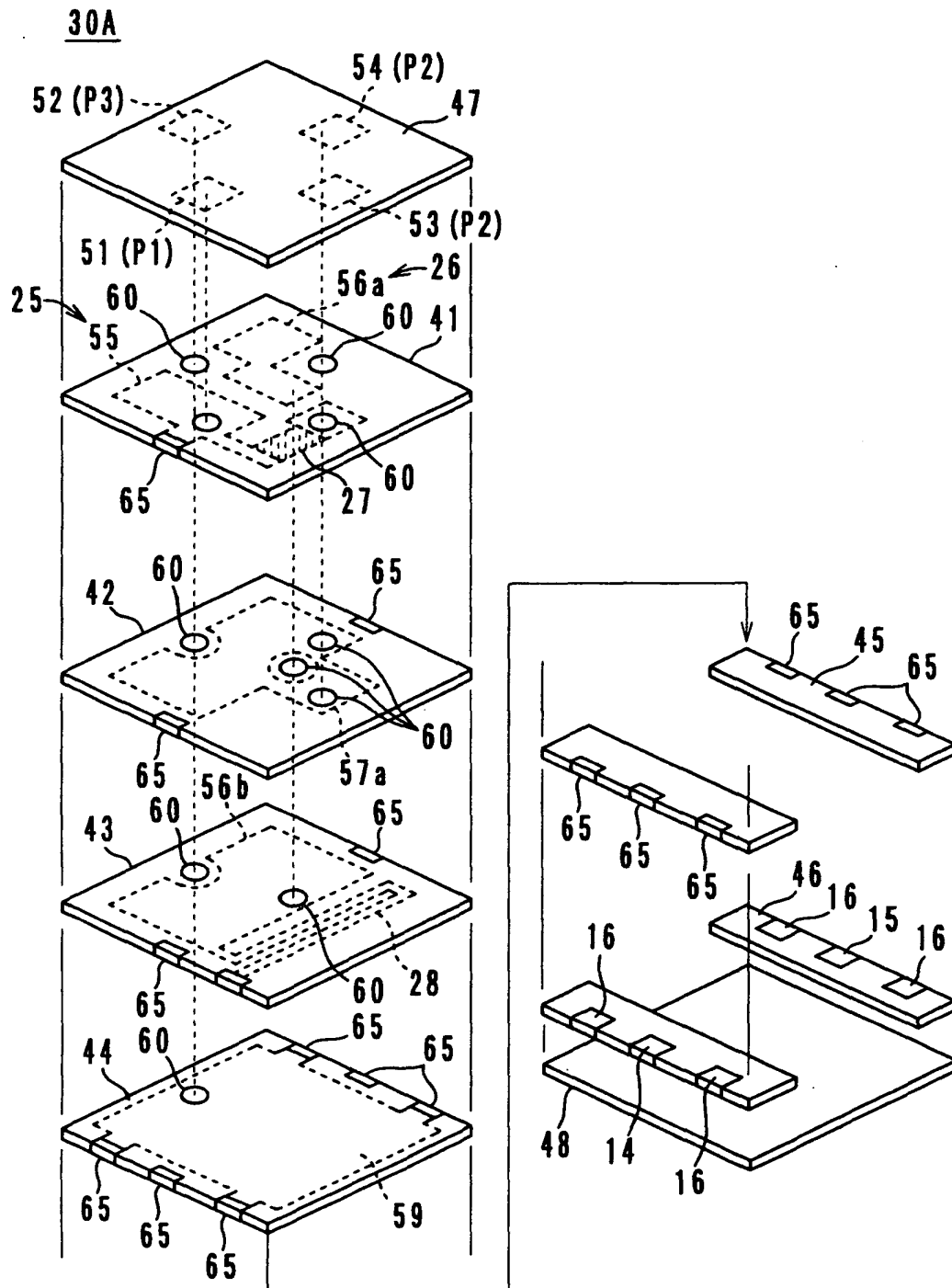
【図 8】



【図 9】

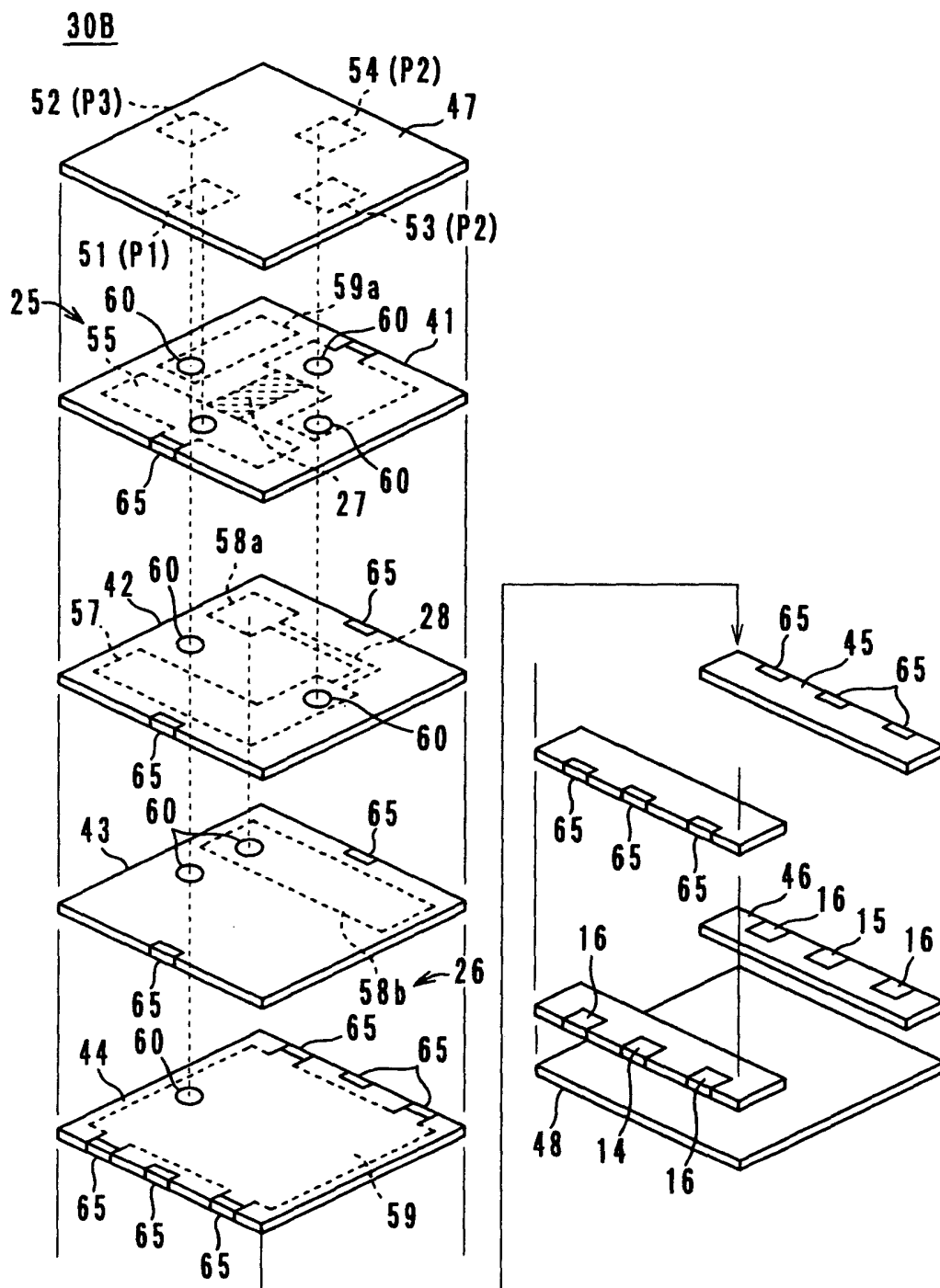


【図10】

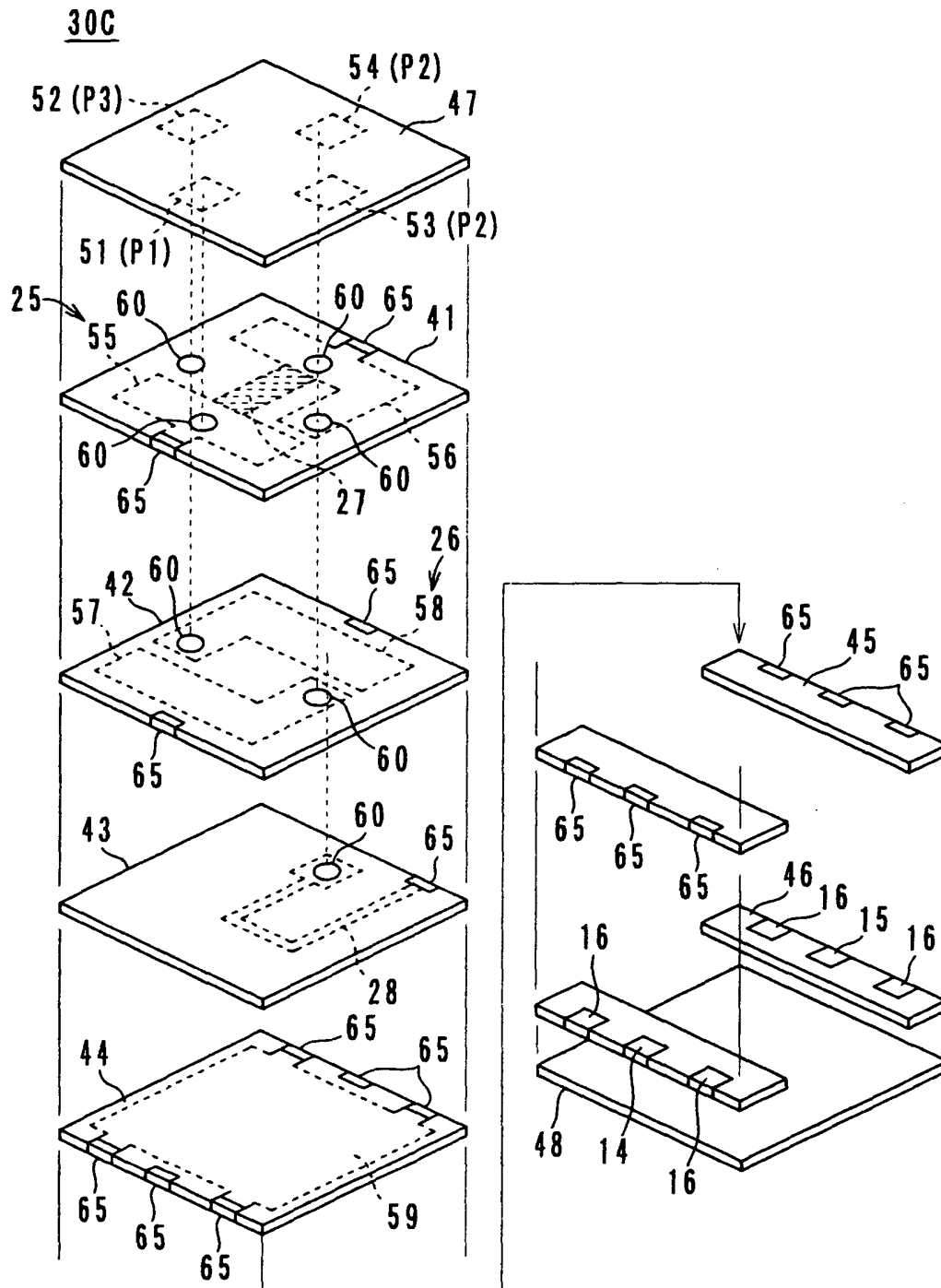




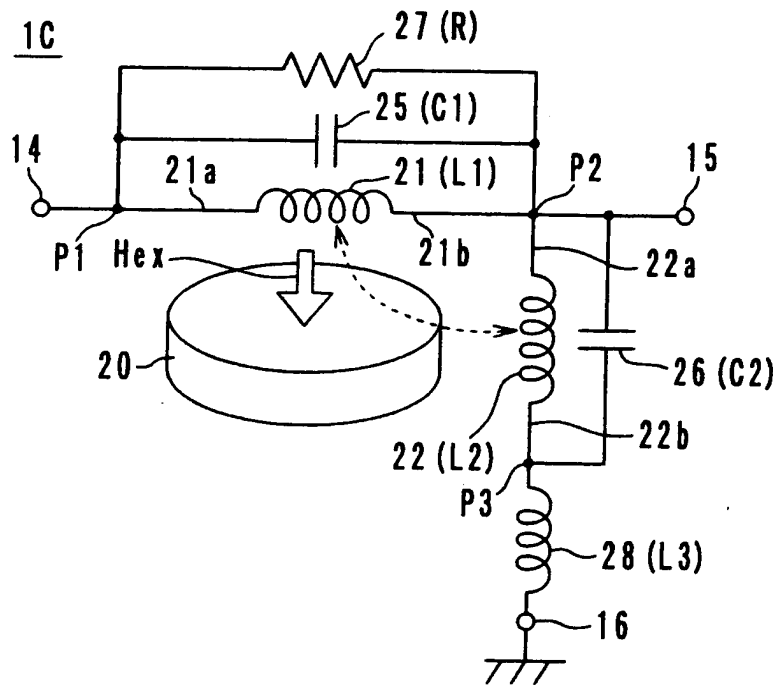
【図 1 1】



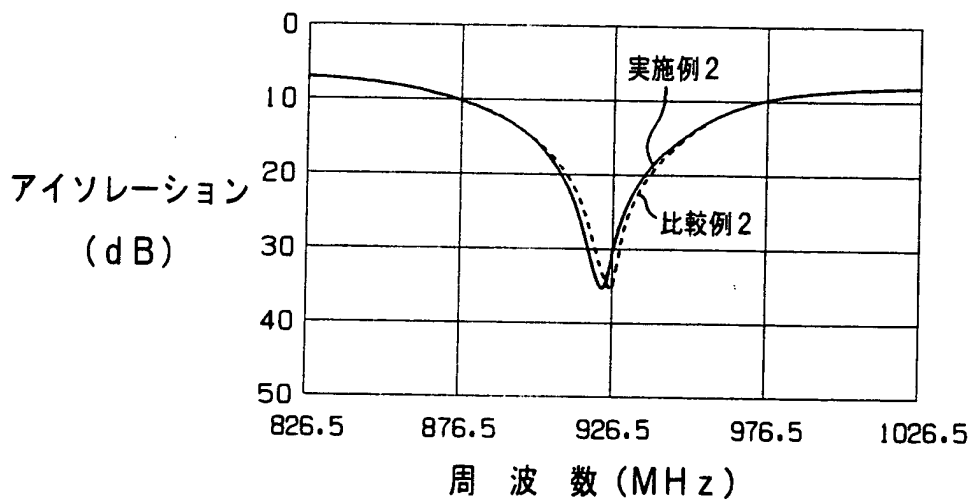
【図 12】



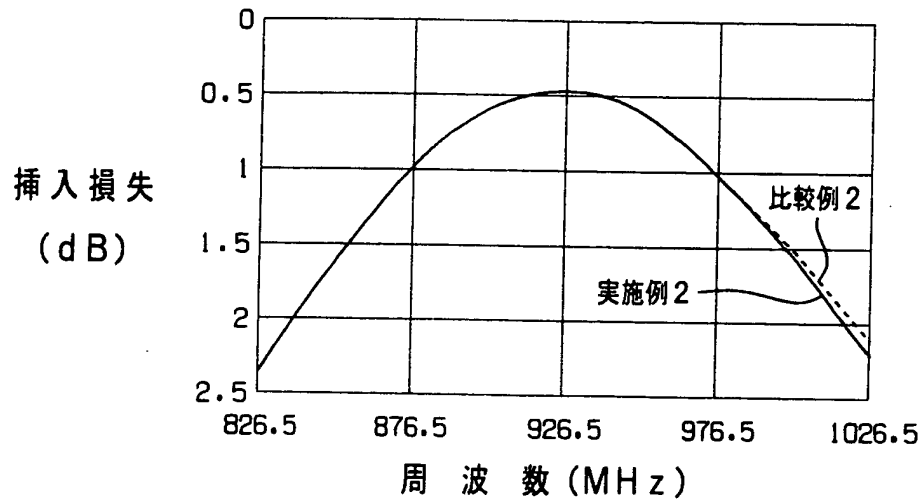
【図 1 3】



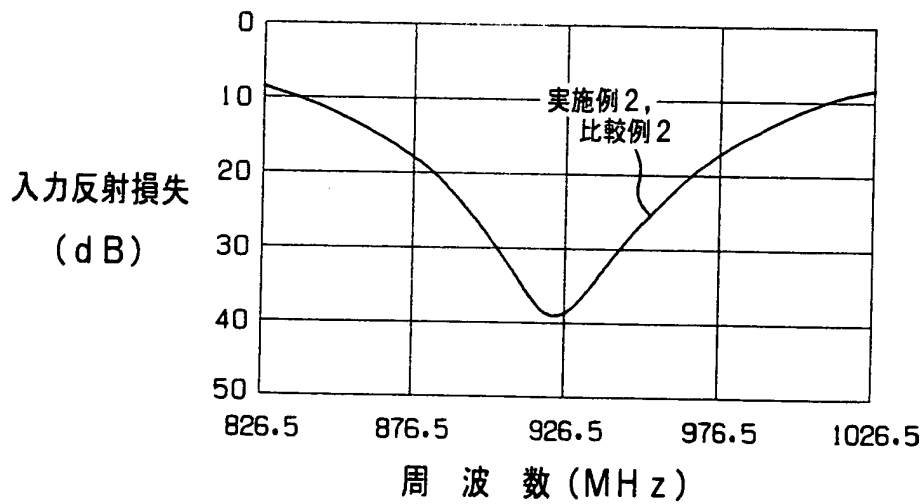
【図 1 4】



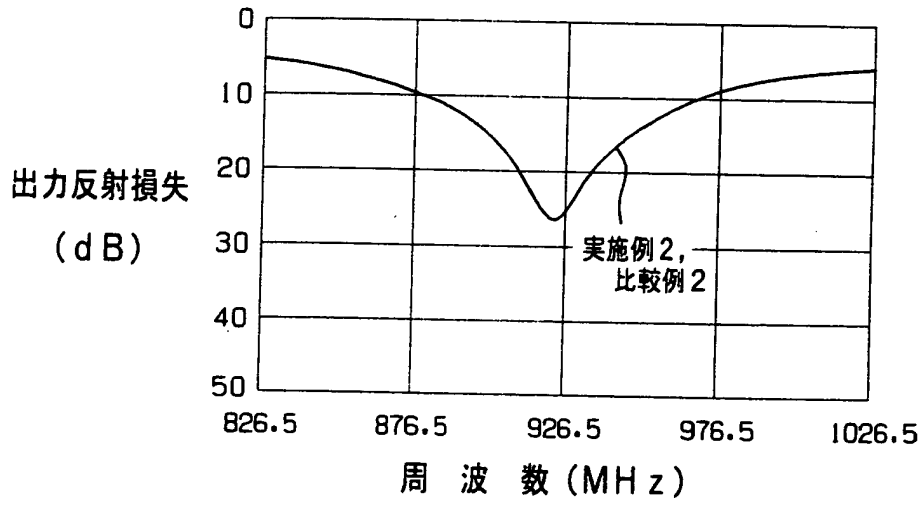
【図 1 5】



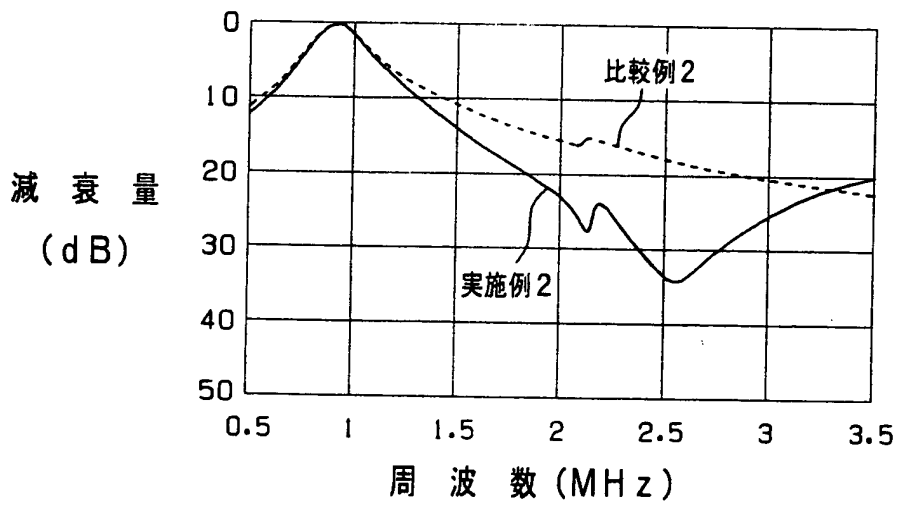
【図 1 6】



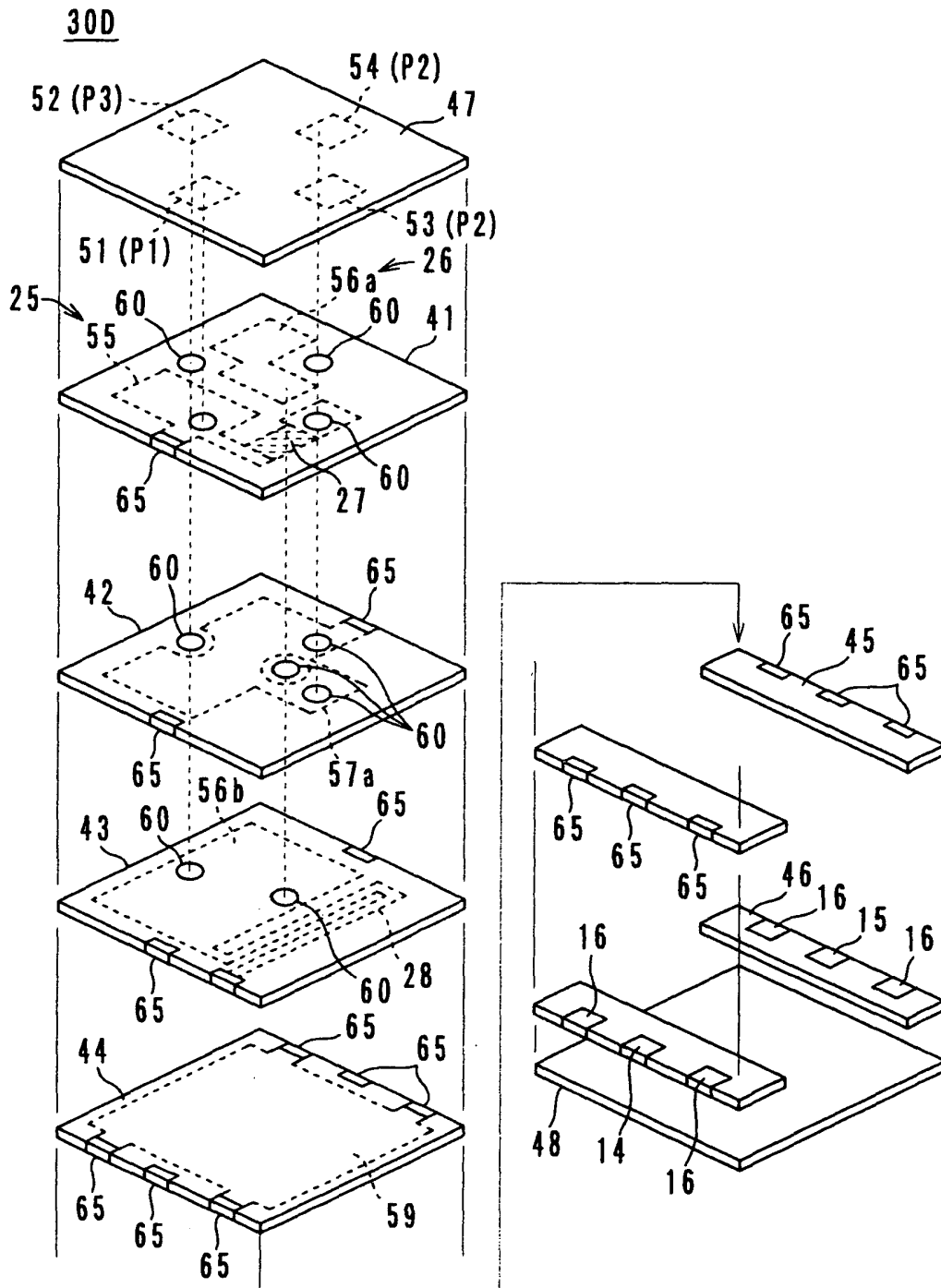
【図 1 7】



【図 1 8】



【図19】





【書類名】 要約書

【要約】

【課題】 使用周波数  $f$  の 2 倍波 ( $2f$ ) や 3 倍波 ( $3f$ ) の伝搬を抑えることができる 2 ポート型アイソレータおよび通信装置を提供する。

【解決手段】 第 1 中心電極 21 の一端部 21a は入力ポート P1 に電氣的に接続され、他端部 21b は出力ポート P2 に電氣的に接続されている。第 2 中心電極 22 の一端部 22a は出力ポート P2 に電氣的に接続され、他端部 22b はアースに電氣的に接続されている。第 1 整合用コンデンサ 25 と抵抗 27 からなる並列 RC 回路は、入力ポート P1 と出力ポート P2 の間に電氣的に接続されている。第 2 整合用コンデンサ 26 とインダクタ 28 の直列共振回路は出力ポート P2 とアースの間に電氣的に接続されている。第 2 整合用コンデンサ 26 とインダクタ 28 の直列共振回路はトラップ回路を形成しており、その共振周波数は、使用周波数  $f$  の 2 倍波 ( $2f$ ) と 3 倍波 ( $3f$ ) の間に設定されている。

【選択図】 図 4



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 2 3 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	京都府長岡京市天神二丁目 2 6 番 1 0 号
氏 名	株式会社村田製作所